

日本特許庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年11月20日

出願番号

Application Number:

特願2002-335950

[ST.10/C]:

[JP2002-335950]

出願人

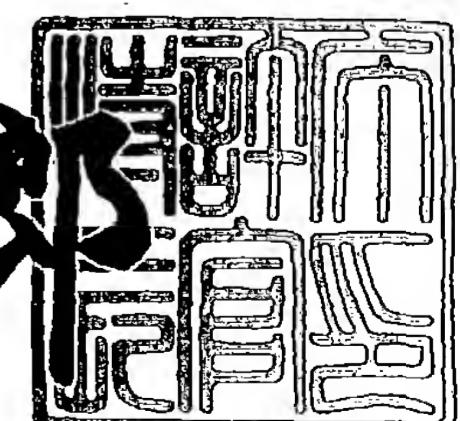
Applicant(s):

沖電気工業株式会社

2003年 4月 8日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3024514

【書類名】 特許願
【整理番号】 KT000459
【提出日】 平成14年11月20日
【あて先】 特許庁長官 太田 信一郎 殿
【国際特許分類】 H01L 21/00
【発明者】
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
【氏名】 鈴木 聰
【特許出願人】
【識別番号】 000000295
【氏名又は名称】 沖電気工業株式会社
【代理人】
【識別番号】 100095957
【弁理士】
【氏名又は名称】 龜谷 美明
【電話番号】 03-5919-3808
【選任した代理人】
【識別番号】 100096389
【弁理士】
【氏名又は名称】 金本 哲男
【電話番号】 03-3226-6631
【選任した代理人】
【識別番号】 100101557
【弁理士】
【氏名又は名称】 萩原 康司
【電話番号】 03-3226-6631
【手数料の表示】
【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 ポリシリコンゲートをシリサイド化する工程を有する半導体装置の製造方法において；

半導体基板上にゲートとなる第1のポリシリコンを形成する工程と，
前記半導体基板上に前記第1のポリシリコンを覆う第1の絶縁膜を形成する工程と，

前記第1の絶縁膜上に第2の絶縁膜を形成する工程と，
前記ゲート上面に位置する前記第1の絶縁膜が露出するまで，前記第2の絶縁膜を選択的にエッチングする工程と，

前記ゲート上面が露出するまで，前記ゲート上面に位置する前記第1の絶縁膜を選択的にエッチングする工程と，

前記第1の絶縁膜がエッチングされた空間を埋め込んで，前記第2の絶縁膜上に第2のポリシリコンを形成する工程と，

前記第2のポリシリコンをエッチングし，前記第2の絶縁膜を露出して，前記空間に前記第2のポリシリコンを残す工程と，

前記第2の絶縁膜をエッチングする工程と，

前記第1の絶縁膜をエッチングする工程と，

前記第2のポリシリコンを覆う高融点金属を形成する工程と，

前記第2のポリシリコンを熱処理によりシリサイド化する工程と，

未反応の前記高融点金属を除去する工程と，

を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の絶縁膜は，前記第1のポリシリコン厚さよりも薄く形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第1の絶縁膜は，前記第1のポリシリコン厚さよりも厚く形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記第1の絶縁膜は，前記第1のポリシリコン周辺部の段差が残る厚さに形成することを特徴とする請求項1または3に記載の半導体装置の

製造方法。

【請求項5】 前記第2の絶縁膜は、前記第1のポリシリコン周辺部の段差が平坦化される厚さに形成することを特徴とする請求項1，2，3または4のいずれかに記載の半導体装置の製造方法。

【請求項6】 前記第1の絶縁膜のエッティング条件は、前記第2の絶縁膜が殆どエッティングされない条件であることを特徴とする請求項1，2，3，4または5のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記第2のポリシリコンは、前記空間部の段差が平坦化される厚さに形成することを特徴とする請求項1，2，3，4，5または6のいずれかに記載の半導体装置の製造方法。

【請求項8】 前記第2のポリシリコンは、ノンドープポリシリコンであることを特徴とする請求項1，2，3，4，5，6または7のいずれかに記載の半導体装置の製造方法。

【請求項9】 エッティングはドライエッティング法を用いることを特徴とする請求項1，2，3，4，5，6，7または8のいずれかに記載の半導体装置の製造方法。

【請求項10】 前記高融点金属は、チタン、またはコバルトであることを特徴とする請求項1，2，3，4，5，6，7，8または9のいずれかに記載の半導体装置の製造方法。

【請求項11】 T型ゲート電極を有する半導体装置の製造方法において；
半導体基板上に前記T型ゲート電極の下部ゲート電極を形成する工程と、
前記下部ゲート電極上に第1の絶縁膜、第2の絶縁膜を順次形成する工程と、
前記下部ゲート電極の上面に位置する前記第1の絶縁膜が露出するまで前記第2の絶縁膜を選択的に除去する工程と、

前記下部ゲート電極の上面が露出するまで前記下部ゲート電極の上面に位置する前記第1の絶縁膜を選択的に除去する工程と、

前記第1の絶縁膜が除去された空間に前記T型ゲート電極の上部ゲート電極を形成する工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項12】 前記第1の絶縁膜は、前記下部ゲート電極厚さよりも薄く形成することを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】 前記第1の絶縁膜は、前記下部ゲート電極厚さよりも厚く形成することを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項14】 前記第1の絶縁膜は、前記下部ゲート電極周辺部の段差が残る厚さに形成することを特徴とする請求項11または13に記載の半導体装置の製造方法。

【請求項15】 前記第2の絶縁膜は、前記下部ゲート電極周辺部の段差が平坦化される厚さに形成することを特徴とする請求項11, 12, 13または14のいずれかに記載の半導体装置の製造方法。

【請求項16】 前記第1の絶縁膜の除去条件は、前記第2の絶縁膜が殆ど除去されない条件であることを特徴とする請求項11, 12, 13, 14または15のいずれかに記載の半導体装置の製造方法。

【請求項17】 前記空間は、前記下部ゲート電極よりも幅が広く形成されることを特徴とする請求項11, 12, 13, 14, 15または16のいずれかに記載の半導体装置の製造方法。

【請求項18】 前記上部ゲート電極は、前記空間部の段差が平坦化される厚さに形成することを特徴とする請求項11, 12, 13, 14, 15, 16または17のいずれかに記載の半導体装置の製造方法。

【請求項19】 前記第1の絶縁膜や前記第2の絶縁膜の除去は、ドライエッチング法を用いることを特徴とする請求項11, 12, 13, 14, 15, 16, 17または18のいずれかに記載の半導体装置の製造方法。

【請求項20】 前記上部ゲート電極の形成は、ドライエッチング法を用いることを特徴とする請求項11, 12, 13, 14, 15, 16, 17, 18または19のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、T型ゲート電極を有する半導体装置の製造方法、特にトランジスタ

のゲート狭幅化に伴うゲートシリサイド細線化による高抵抗を防止する構造を有する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

近年、半導体デバイスの高性能化に伴いトランジスタゲートの細線化が進んでいる。従来のチタンシリサイド若しくはコバルトシリサイドのゲート形成、及び構造は、図8に示すように、ポリシリコンによるゲート301形成後、ゲート301側壁に窒化膜のサイドウォール302を形成する(図8(a))。その後全面にチタン、またはコバルト303をスパッタ法により形成し(図8(b))、熱処理によりゲート上および拡散層上をシリサイド化した後、未反応のチタン、またはコバルトを除去し、シリサイド化したゲート304を形成していた(図8(c))。

【0003】

しかし、図8に示すような従来の構造及び製造方法では、ゲート長が短くなるにつれて、チタン、またはコバルトとの反応が起こるポリシリコン領域、つまりシリサイド化される領域も狭くなってしまう。シリサイド化の領域が狭くなると、完全にシリサイド化されないまま反応が終了してしまい、ゲート長が広い場合に比べ、比較的高抵抗のゲートが形成されてしまう。

【0004】

また、工程上ゲート301側壁に窒化膜のサイドウォール302を形成後に、ゲート301とサイドウォール302とをマスクに、ソース、ドレイン拡散領域の不純物注入を行うが、この時ゲート301にも同時に不純物が注入されてしまう。この不純物が、シリサイド化する際に、シリサイドの反応を阻害して低抵抗化を妨げてしまう。特に、ヒ素(As)は、ボロン(B)に比べて、チタンシリサイドの相転移を抑制し、その低抵抗化を妨げることが知られている。

【0005】

また、CMOSトランジスタの場合には、NMOSとPMOSに注入される不純物が異なるため、それぞれのゲートシリサイドの出来にはらつきが生じる。また、ゲート抵抗にもはらつきが生じるので、均一な特性の素子を得ることができ

ないという不具合があった。。

【0006】

このようなゲート細線化時の不具合を解決する方法として、例えば、下記の特許文献1や特許文献2に含まれるように、細線化したゲート上部の幅を広く形成する、いわゆるT型ゲート電極形成方法がある。これにより、ゲート接合部は細線化したまま、上部の幅広の領域でシリサイド化が完全に進み、所望のゲート抵抗を得ることができる。

【0007】

【特許文献1】

特開2000-36594号公報

【特許文献2】

特開平5-63002号公報

【0008】

【発明が解決しようとする課題】

ところが、従来は、細線化したゲート上部にゲート接合部より幅の広い領域を形成する方法として、フォトリソグラフィ工程を用いており、細線化した下部ゲート電極上に幅広の上部ゲート電極領域を製作するのは高精度の目合わせが要求され、またウェハ面内均一に、歩留まり良く製造するのは難しく、コストの増加を招くものであった。

【0009】

本発明は、従来の半導体装置の製造方法に関する上記問題点に鑑みてなされたものであり、本発明の目的は、上部に幅の広い領域を有するT型ゲート電極の形成方法において、形成工程が簡単であり、ウェハ面内で均一に歩留まり良く形成でき、製造コストを削減できる、新規かつ改良された半導体装置の製造方法を提供することである。

【0010】

【課題を解決するための手段】

上記課題を解決するため、本発明の第1の観点によれば、半導体基板上にゲートとなる第1のポリシリコンを形成する工程と、第1のポリシリコンを覆う第1

の絶縁膜を第1のポリシリコンより薄く形成する工程と、第1の絶縁膜上に第1のポリシリコン周辺部の段差が平坦化される程度に厚く第2の絶縁膜を形成する工程と、第2の絶縁膜をドライエッチング法によりエッチバックして第1の絶縁膜を露出する工程と、露出した部分の第1の絶縁膜をエッチングし、第1のポリシリコンを露出して空間を形成する工程と、空間を埋め込み、空間部の段差が平坦化される程度に厚く、第2のポリシリコンを形成する工程と、第2のポリシリコンを第2の絶縁膜が露出するまでエッチバックして、空間にのみ第2のポリシリコンを残すことにより、第1のポリシリコン上部にゲート接合部より幅の広い第2のポリシリコンを形成する工程と、第2の絶縁膜を除去する工程と、第1の絶縁膜をエッチングする工程と、第2のポリシリコン上に、チタン、またはコバルト等の高融点金属を形成する工程と、熱処理によりシリサイド化する工程と、未反応の高融点金属を除去する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

【0011】

ここで、第1のポリシリコンを覆う第1の絶縁膜を、第1のポリシリコン周辺部の段差がなくならない程度に第1のポリシリコンより厚く形成することもできる。その後は上記と同様に、第2の絶縁膜を第1のポリシリコン周辺部の段差が平坦化される厚さに形成する。第1の絶縁膜を第1のポリシリコンより厚く形成しても第1のポリシリコン周辺部の段差を残しておくのは、エッチバックで第1のポリシリコン上部のみに第1の絶縁膜を露出させるためである。

【0012】

また、第1の絶縁膜のエッチング条件は、第2の絶縁膜が殆どエッチングされない条件であることが好ましい。それにより、第2の絶縁膜をマスクに第1の絶縁膜をエッチングすることができる。

【0013】

さらに、第2のポリシリコンは、ノンドープポリシリコンであることが好ましく、シリサイド化の際に不純物がシリサイドの反応を阻害するのを防ぐことができる。

【0014】

こうして、シリサイド化工程を有するポリシリコンゲートの製造方法において、細線化したポリシリコンゲートの上部にゲート接合部より幅の広いポリシリコン領域を、フォトリソグラフィ工程は一切用いず、膜の形成工程とエッチング工程とのみでセルフアラインに形成できるので、工程が短縮され、歩留まり良く、つまりは低成本に製造することができる。また、ゲート上部の幅広部分で完全なシリサイド化ができるので、ゲート抵抗を低減することができる。

【0015】

また、本発明の第2の観点によれば、T型ゲート電極を有する半導体装置の製造方法において、半導体基板上にT型ゲート電極の細線部分となる下部ゲート電極を形成する工程と、下部ゲート電極を覆う第1の絶縁膜、第2の絶縁膜を順次第1の観点と同様に所望の厚さに形成する工程と、下部ゲート電極の上面に位置する第1の絶縁膜が露出するまで第2の絶縁膜を選択的に除去する工程と、下部ゲート電極の上面が露出するまで下部ゲート電極の上面に位置する前記第1の絶縁膜を選択的に除去する工程と、第1の絶縁膜が除去された空間にT型ゲート電極の幅広部分となる上部ゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法が提供される。この時、T型ゲート電極はシリサイド化が必要であるものに限定されず、下部ゲート電極となる金属は、ゲートとなりうる金属であればよい。

【0016】

ポリシリコンゲートのシリサイド化の際に限らず、ゲート細線化によるゲート断面積の縮小はゲート抵抗を増加させるため、一般的にゲート長の短いゲートについては、上部を幅広くしたT型ゲート電極の形成が用いられている。この場合にも、従来は、上部の幅広部分の形成をフォトリソグラフィ工程を用いて、上部の幅広部分の形成を下部細線部との目合わせにより行っていたが、本発明のゲート製造方法を用いることにより、T型ゲート電極が、膜の形成とエッチング工程のみでセルフアラインに形成できるので、工程が短縮され、コストを低下することができます。

【0017】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかる半導体装置の製造方法の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0018】

(第1の実施の形態)

第1の実施の形態にて形成したゲート部の断面図を図1に示した。また、図1のゲート形成するための工程断面図を図2(a)～(d)，図3(e)～(g)図4(h)～(j)に示す。

【0019】

まず、例えばシリコンの半導体基板の素子形成領域に、所望の閾値電圧(V_t)を得るために、不純物注入(図示せず)を行う。その後、フォトリソグラフィやエッチング等の工程を経て、設計値のゲート長(0.15 μm程度)を有する下部ゲートとして第1のポリシリコン、例えばポリシリコンゲート101を形成する(図2(a))。ゲートの高さは、150 nm程度が好ましい。

【0020】

その後、リーク電流を低減し信頼性を向上するLDD(Lightly Doped Drain)構造を得るために、ポリシリコンゲート101をマスクにソース、ドレイン領域に不純物注入を行い、例えば低濃度の浅いn型層を形成する。

【0021】

次に、基板全面に、第1の絶縁膜として、例えば窒化膜をゲートを覆うように、またゲート高さよりも薄く形成する。ただし、このゲート高さより薄い窒化膜を形成する場合、まずCVD法を用いて、ポリシリコンゲート101の高さよりも高く、窒化膜102を200 nm程度に形成し(図2(b))、その後、全面をドライエッチング法を用いて、ゲート101上部を窒化膜が覆っている状態までエッチバックして、図2(c)に示すようにポリシリコンゲート101高さより薄い窒化膜103を形成することが好ましい。これは、窒化膜を最初から薄く被着した場合には、ウェハ面内で膜厚ばらつきが大きくなり、所望の形状が得ら

れないためである。

【0022】

その後、窒化膜103上から不純物注入を行い、LDD構造のソース、ドレン領域コンタクト部に、例えば高濃度の深いn型層を形成する。更に、窒化膜103上に全面に、第2の絶縁膜として、例えば酸化膜104をCVD法を用いて厚く、例えば300nm程度形成する。この時、酸化膜104の厚さによりゲート段差部周辺の酸化膜104の表面が平坦化されていることが好ましい(図2(d))。次に、平坦化された酸化膜104の全面をドライエッチング法を用いて、エッチバックする。

【0023】

図3(e)に示すようにゲートポリシリコン101上部の窒化膜103が露出するまでエッチバックした後、酸化膜は殆どエッティングされず、窒化膜のみがエッティングされるようにドライエッチングのガス種を変えて、露出している窒化膜103のみをエッティングする。この時、ゲートポリシリコン101の上部が露出するまでエッティングを行い、酸化膜104とゲートポリシリコン101と窒化膜103とに囲まれた、図3(f)に示す空間105が形成される。

【0024】

その後、第2のポリシリコンとして、全面にノンドープポリシリコン107を空間105を埋め込むように形成する(図3(g))。ここでノンドープポリシリコンを形成するのは、不純物が混入したポリシリコンを用いると、シリサイド化の際に不純物がシリサイドの反応を阻害して低抵抗化を妨げてしまうためである。この時、ノンドープポリシリコン107の厚さは200nm程度に形成することにより、ノンドープポリシリコン107の表面は空間105上の窪みも平坦化されている。さらにエッチバックにより、酸化膜104が露出するように、ノンドープポリシリコン107をエッティングして、空間105部のみにノンドープポリシリコン108を残す(図4(h))。この空間105部に残ったノンドープポリシリコン108が上部ゲート電極となる。

【0025】

引き続き、酸化膜のみがエッティングされるようにガスを変更し、酸化膜104

を除去し、さらに窒化膜のみがエッチングされるようにガス種を変更し、ノンドープポリシリコン108をマスクとして、窒化膜103をエッチングし、ゲート側壁には室化膜サイドウォール106が形成される（図4（i））。ただしこの時、等方性のエッチングを用いて、室化膜サイドウォール106がエッチングされても構わない。

【0026】

次に、スパッタ法により全面に、高融点金属の例えは、チタン（またはコバルト）109を20nm程度生成する（図4（j））。さらに例えは520°Cと850°Cとの2段階の短時間アニール、RTA（Rapid Thermal Annealing）を行い、ノンドープポリシリコン108をシリサイド化させ、チタンシリサイド（またはコバルトシリサイド）110を形成する。この時、拡散層領域も同時にシリサイド化され、低抵抗化される。その後未反応のチタン、またはコバルトを除去して、図1のゲートを形成することができる。

【0027】

以上説明したように、下部ゲート電極上に幅の広い上部ゲート電極を形成する方法として、従来はフォトリソグラフィとエッチングを用いていたが、本実施の形態では、各種膜の形成とエッチバックとのみにより、セルフアラインに実現しており、簡単に、歩留まり良く形成することができる。また、フォトリソグラフィ工程を用いないので、ゲートの細線化が一層進んでも対応が可能であり、さらに、大幅な工程削減が可能となる。

【0028】

また、シリサイド化ゲートの場合、拡散層領域への不純物注入の際に同時に不純物注入された下部ゲートでのシリサイド化は行わず、ゲート上部に形成された幅の広いノンドープポリシリコンがシリサイド化される。これにより、従来、不純物注入によって阻害されていたポリシリコンのシリサイド化が、ノンドープポリシリコンでは阻害されることなく反応が起こるため、完全に低抵抗化が実現できる。

【0029】

さらにCMOSの場合、従来NMOSとPMOSで打ち込まれる不純物の違い

から、シリサイド化の反応の違いにより形状にばらつきが生じていたが、本実施の形態では、ゲート上部の幅の広いノンドープポリシリコンには不純物注入されない上に、NMOS、PMOS両方ともノンドープポリシリコンをシリサイド化するため、形状、抵抗にばらつきが生じない。

【0030】

(第2の実施の形態)

第2の実施の形態にて形成したゲート部の工程断面図を図5(a)～(d)、図6(e)～(g)、図7(h)～(j)に示す。

【0031】

第1の実施の形態と同様に、まず、下部ゲート電極として設計値のゲート長を有する第1のポリシリコン、例えば矩形状のゲートポリシリコン201を約150nm程度の高さに形成する(図5(a))。その後、LDD(Lightly Doped Drain)構造を得るために、ゲートポリシリコン201をマスクにソース、ドレイン領域に不純物注入を行い、例えば低濃度の浅いn型層を形成する。

【0032】

次に、基板全面に、第1の絶縁膜として、例えば窒化膜202をCVD法を用いてゲートポリシリコン201を覆うように形成する(図5(b))。ただし、窒化膜202の厚さは、ゲートポリシリコン201の高さよりも厚く、かつゲートポリシリコン201周辺の段差が残る厚さに形成する。この時、窒化膜202の厚さは、200nm程度であることが好ましい。

【0033】

さらに、窒化膜202上に、第2の絶縁膜として、例えば酸化膜203をCVD法により、厚さ300nm程度に面に形成する(図5(c))。この時ゲートポリシリコン201上部の酸化膜203の段差は酸化膜203の厚みにより緩和され、窒化膜202の段差より小さくなって平坦化されていることが好ましい。

【0034】

その後、平坦化した酸化膜203をエッチバックし、ゲートポリシリコン201上の窒化膜202を露出させる(図5(d))。引き続き、エッティングのガス

種を変え、露出した部分の窒化膜202のみをエッチングし、ゲートポリシリコン201を露出させる(図6(e))。こうして、ゲートポリシリコン201上に空間205が形成される。

【0035】

その後、第2のポリシリコンとして、全面にノンドープポリシリコン206を形成し、空間205を埋め込む(図6(f))。この時ノンドープポリシリコン206は、空間205上の窪みも平坦化されるように200nm程度の厚さに形成する。その後、酸化膜203が露出するまで、全面をエッチバックし、空間205内のみにノンドープポリシリコン207が残される(図6(g))。これが上部ゲート電極となる。

【0036】

引き続きエッティングガスを変え、酸化膜203、窒化膜202を除去する。この時、ゲートポリシリコン201上のノンドープポリシリコン207がマスクとなり、ゲート側壁には窒化膜サイドウォール208が形成される(図7(h))。ただしこの時、等方性のエッティングにより窒化膜サイドウォール208がエッティングされてしまっても構わない。さらに、LDD構造を得るために、ノンドープポリシリコン207をマスクに、ソース、ドレイン領域に不純物注入を行い、例えば高濃度の深いn型層を形成する。

【0037】

その後、スパッタ法により全面にチタン(またはコバルト)209を生成し(図7(i))、RTAによりゲート上ノンドープポリシリコン207をシリサイド化させ、チタンシリサイド(またはコバルトシリサイド)210を形成する。この時、拡散層領域も同時にシリサイド化される。その後未反応のチタン、またはコバルトを除去して図7(j)のゲートを形成することができる。

【0038】

こうして、第1の実施の形態と同様に、細線ゲート上部に幅の広いポリシリコンをフォトリソグラフィ工程を用いることなく形成することができるので、ゲート形成の工数を削減でき、歩留まりを向上させることができる。

【0039】

また、第1の実施の形態では、全面に窒化膜を生成後、ゲート上に窒化膜が残るよう室化膜をエッチバックしていたが、この方法では、エッティングレートの違いやパタン密度の違いにより、部分的にゲート上に窒化膜が残らない箇所が生じ、その後、酸化膜を形成し、この酸化膜をエッチバックすることによって得られる酸化膜で囲まれた空間が形成されず、ノンドープポリシリコンが埋め込まれないといった不具合が生じる可能性があった。これに対し、第2の実施の形態では全面に窒化膜を生成した後、その上に酸化膜を生成することにより、ゲート上部の酸化膜の段差は緩和されることになり、その後のエッチバック工程で、確実にゲート上の窒化膜を露出させることができ、窒化膜をエッチバック後、酸化膜で囲まれた空間が形成され、ゲート上にノンドープポリシリコンを埋め込むことができる。

【0040】

以上、添付図面を参照しながら本発明にかかる半導体装置の製造方法の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0041】

また、第1の実施形態や第2の実施形態を用い、シリサイド化を必要としない一般的なT型ゲート電極を形成することもできる。この場合、下部ゲート電極はゲートになりうる各種の金属に対応し、第1の実施形態や第2の実施形態のシリサイド化工程は不要である。

【0042】

【発明の効果】

以上説明したように本発明によれば、ゲート上部に幅の広い領域を形成する半導体装置の製造方法において、フォトリソグラフィ工程を用いず、膜の形成工程とエッティング工程とのみでセルファーラインに形成できるので、工程が簡単で、歩留まり良く、低コストに製造することができる。

【図面の簡単な説明】

【図1】

第1の実施の形態にかかるシリサイドゲートの概略断面図である。

【図2】

第1の実施の形態にかかるシリサイドゲートの概略工程断面図であり、(a)はゲート形成した後の図、(b)は窒化膜形成した後の図、(c)は窒化膜をエッティングした後の図、(d)はゲートを覆う窒化膜上に、酸化膜を形成した後の図である。

【図3】

第1の実施の形態にかかるシリサイドゲートの概略工程断面図であり、(e)は酸化膜をエッチバックし、窒化膜を露出した後の図、(f)はゲート上の窒化膜を除去した後の図、(g)は、ノンドープポリシリコンを形成した後の図である。

【図4】

第1の実施の形態にかかるシリサイドゲートの概略工程断面図であり、(h)は、ノンドープポリシリコンをエッチバックした後の図、(i)は、酸化膜と窒化膜をエッティングした後の図、(j)はチタン(コバルト)を形成した後の図である。

【図5】

第2の実施の形態にかかるシリサイドゲートの概略工程断面図であり、(a)はゲート形成した後の図、(b)は窒化膜形成した後の図、(c)は酸化膜形成した後の図、(d)は酸化膜をエッチバックした後の図である。

【図6】

第2の実施の形態にかかるシリサイドゲートの概略工程断面図であり、(e)は窒化膜を形成した後の図、(f)はノンドープポリシリコンを形成した後の図、(g)はノンドープポリシリコンをエッチバックした後の図である。

【図7】

第2の実施の形態にかかるシリサイドゲートの概略工程断面図であり、(h)は酸化膜と窒化膜とをエッティングした後の図、(i)はチタン(コバルト)を形成した後の図、(j)は未反応のチタン(コバルト)を除去した後の図である。

【図8】

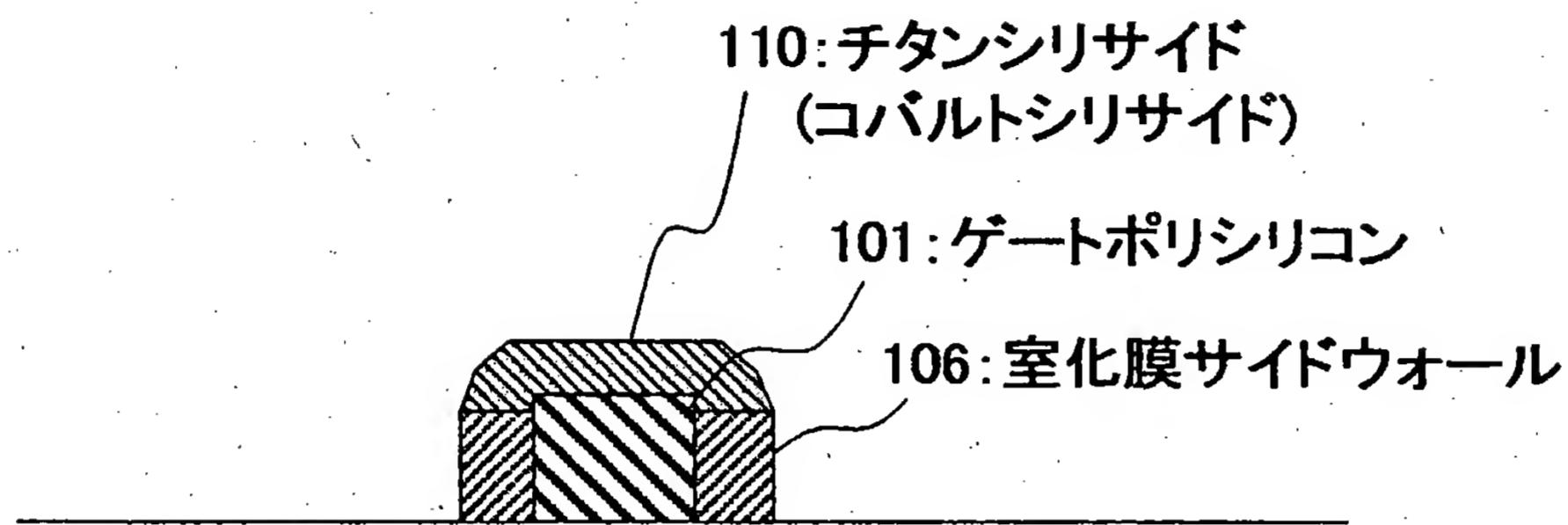
従来技術によるシリサイドゲートの概略工程断面図であり、(a)はゲート形成し、窒化膜のサイドウォールを形成した後の図、(b)はチタン(コバルト)を形成した後の図、(c)はゲートをシリサイド化し、未反応のチタン(コバルト)を除去した後の図である。

【符号の説明】

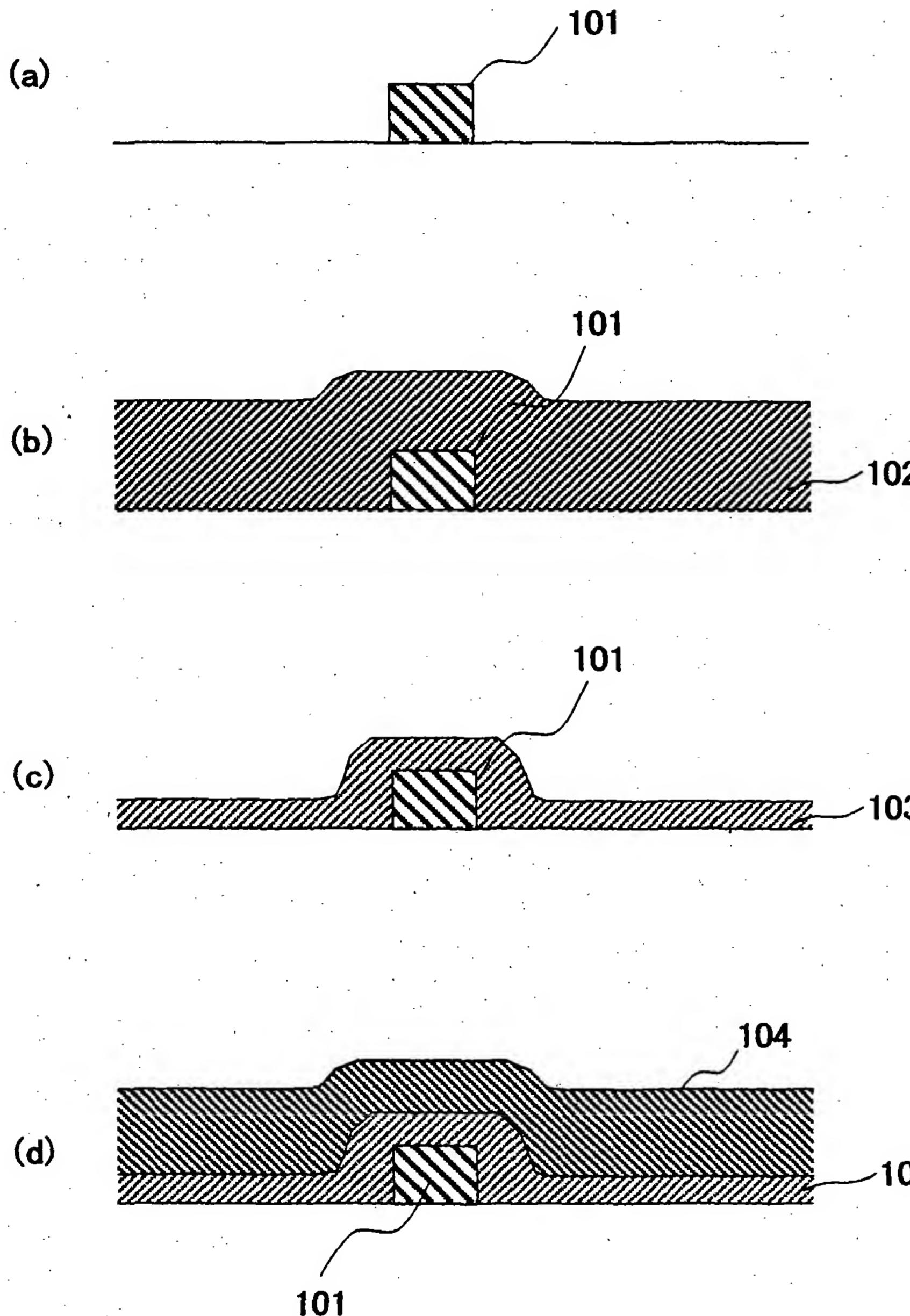
- 101 ゲートポリシリコン
- 102 窒化膜
- 103 窒化膜
- 104 酸化膜
- 105 空間
- 106 窒化膜サイドウォール
- 107 ノンドープポリシリコン
- 108 フンドープポリシリコン
- 109 チタン(またはコバルト)
- 110 チタンシリサイド(またはコバルトシリサイド)

【書類名】 図面

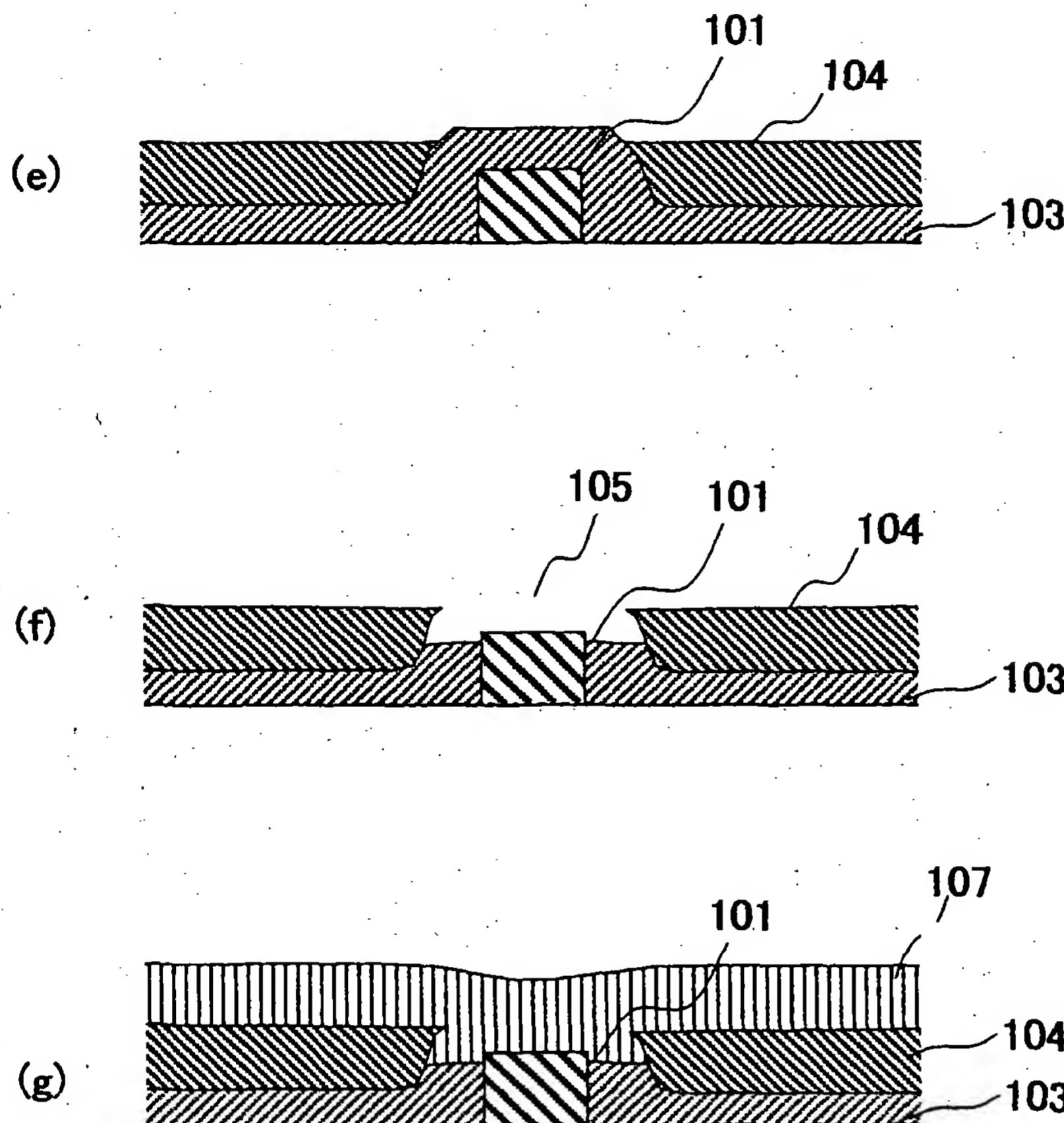
【図1】



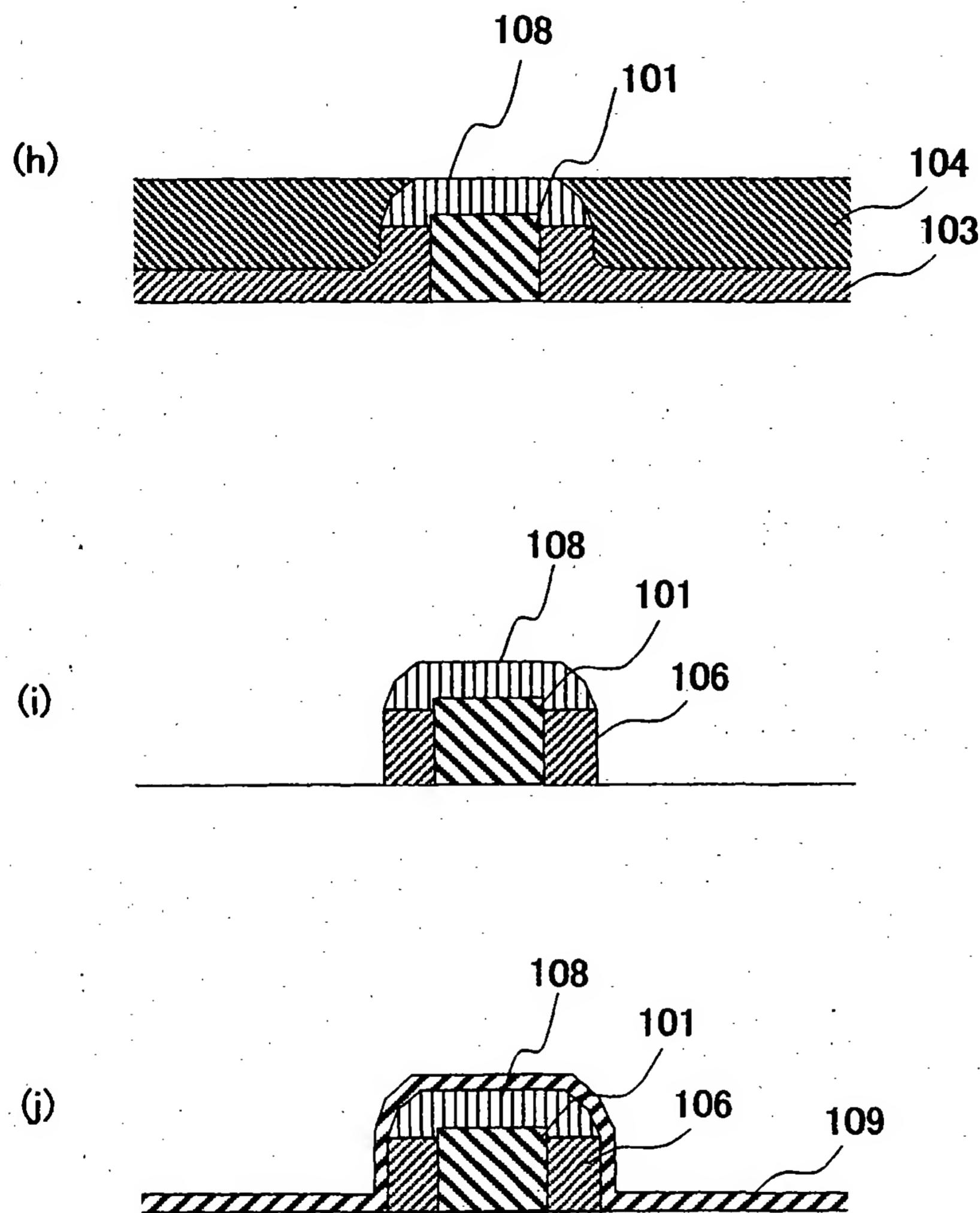
【図2】



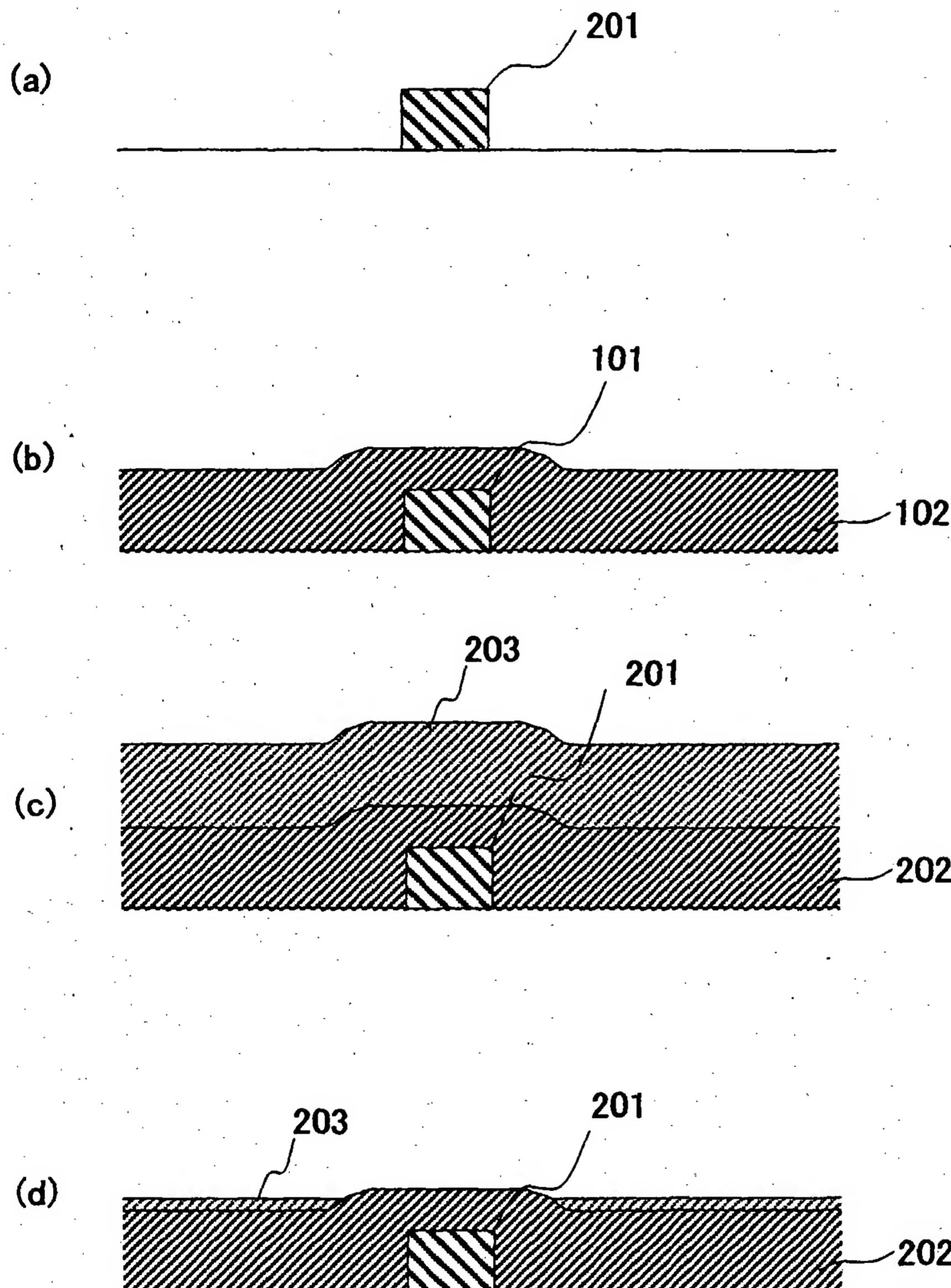
【図3】



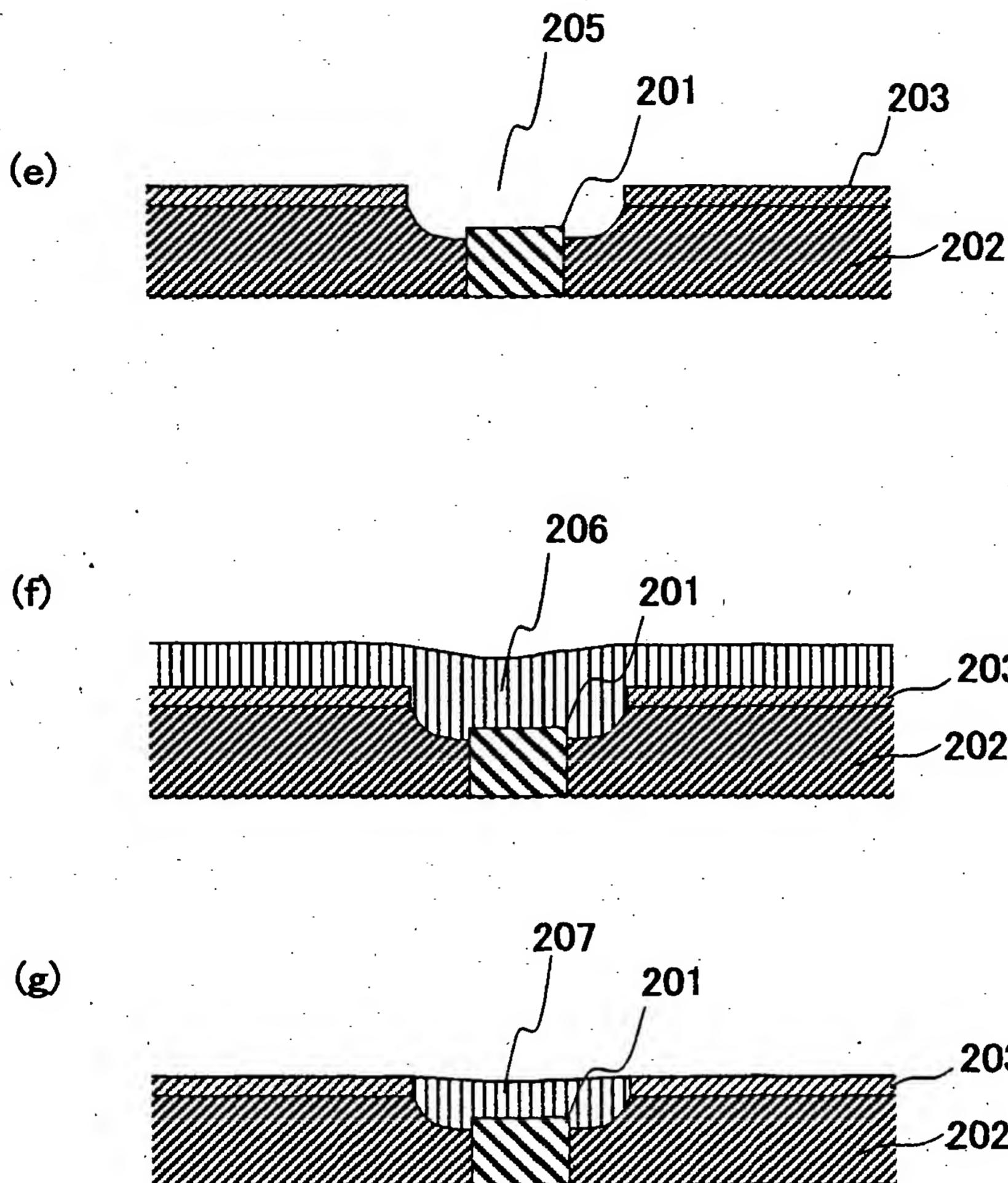
【図4】



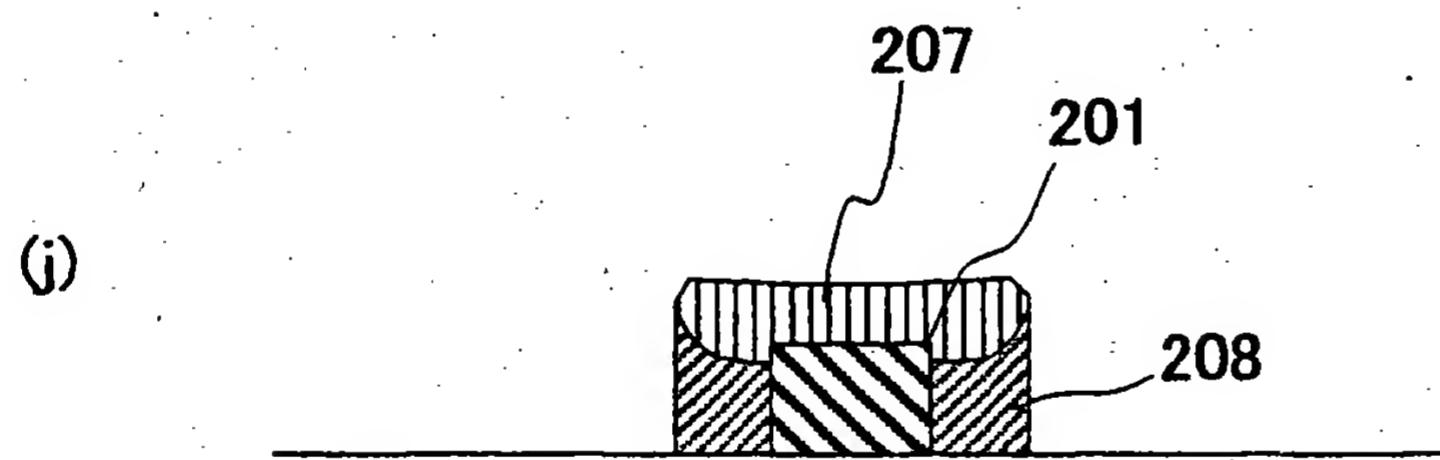
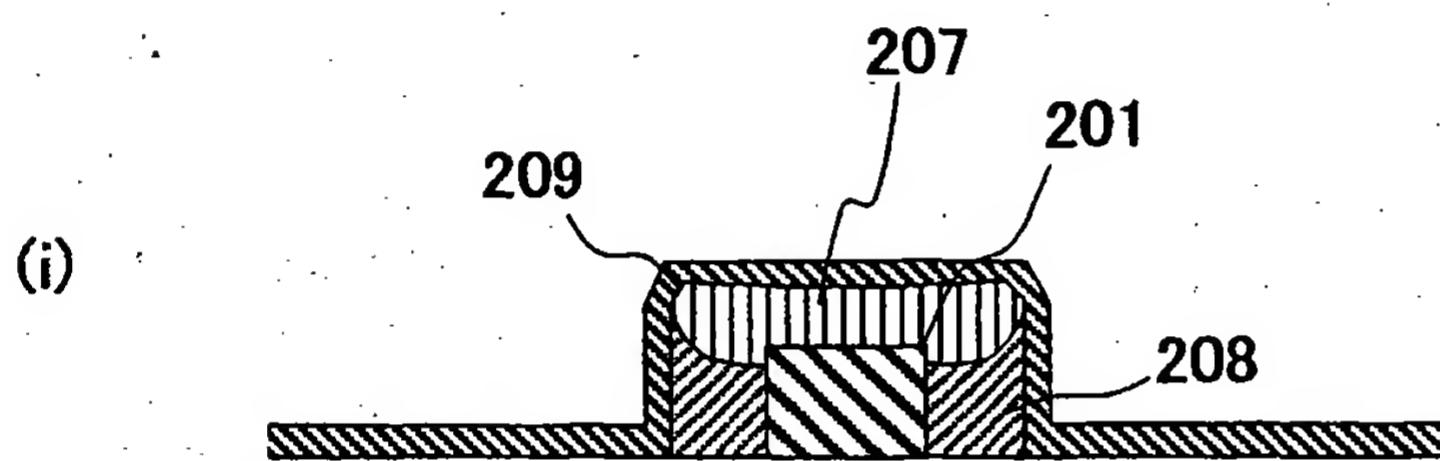
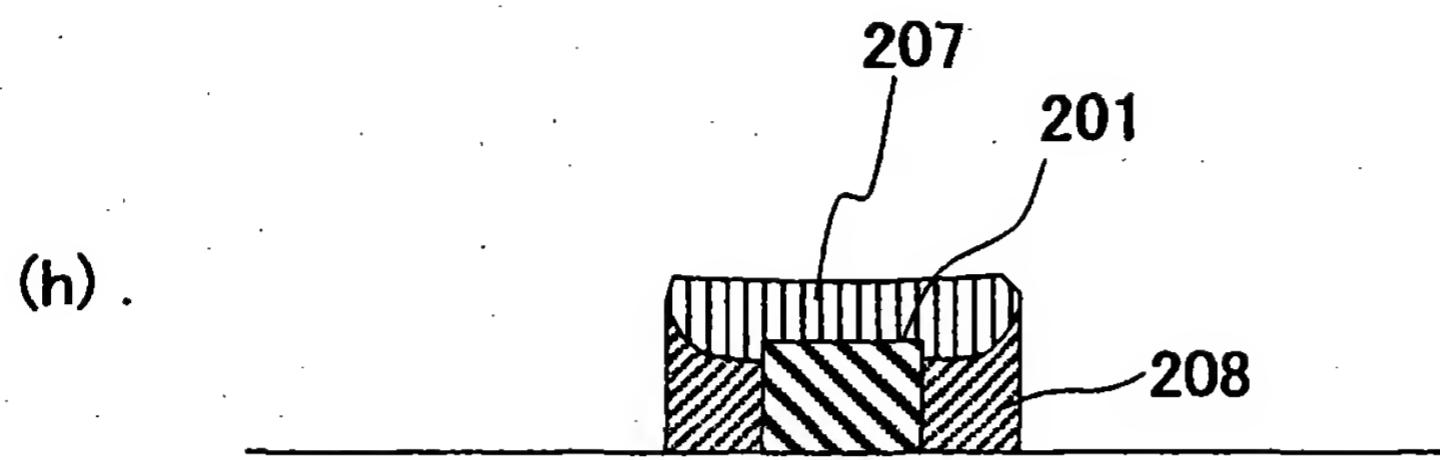
【図5】



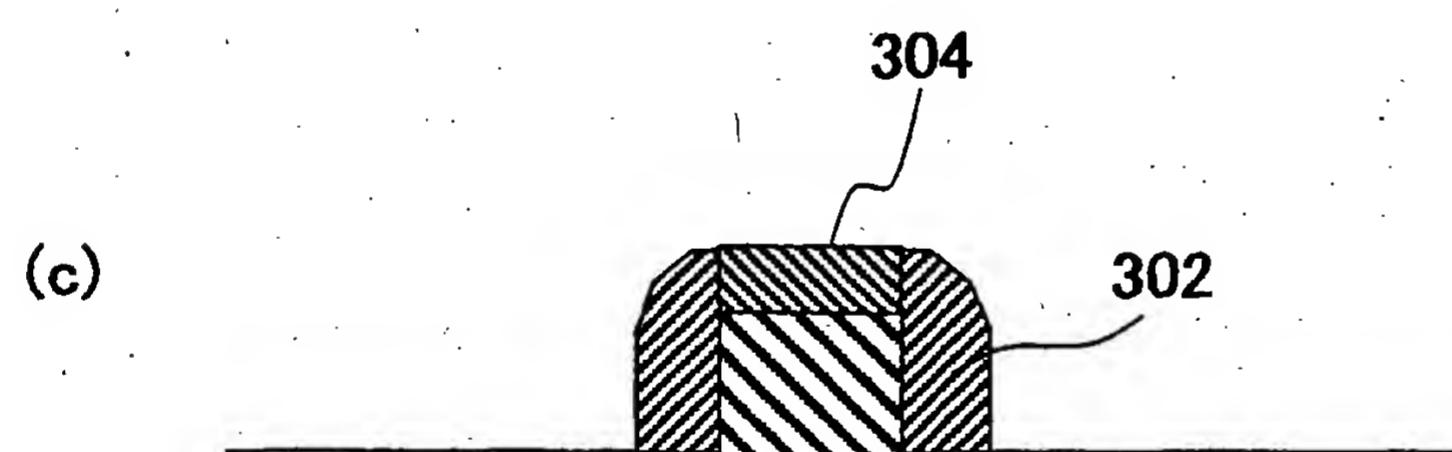
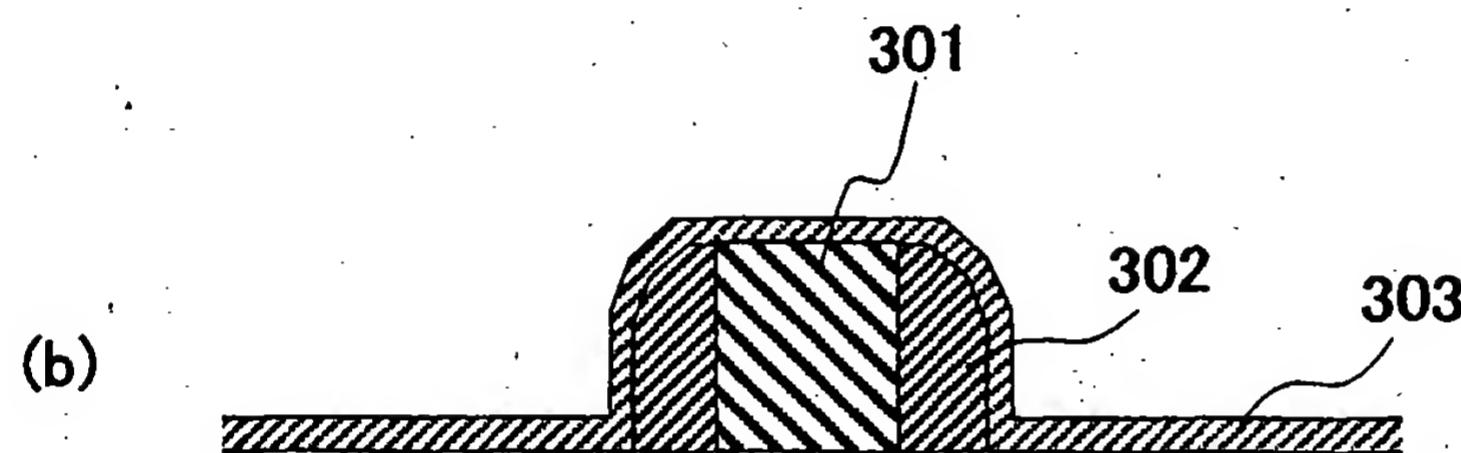
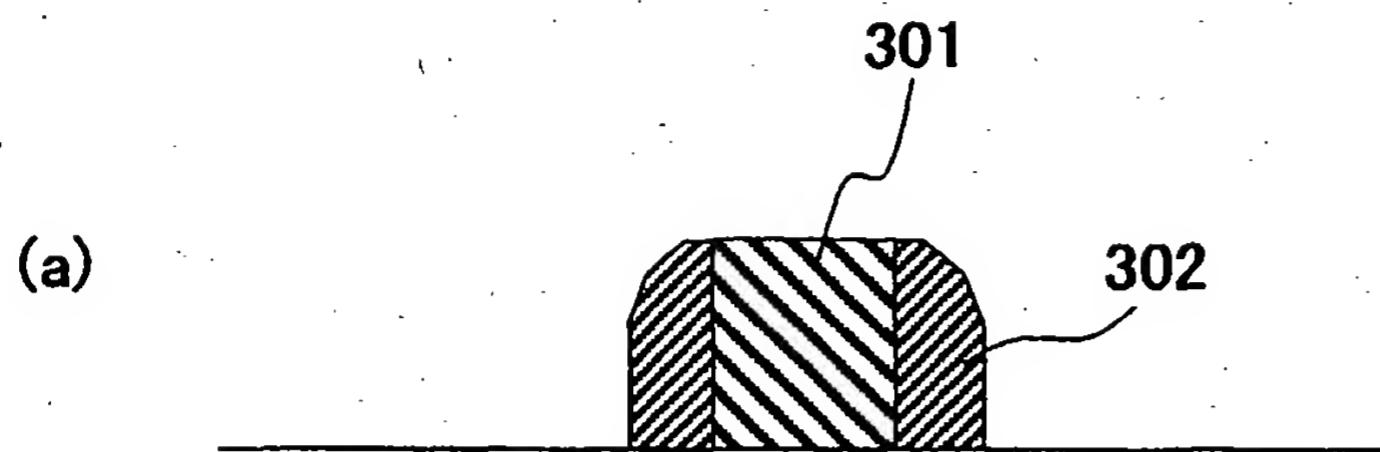
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 上部に幅の広い領域を有するT型ゲート電極を、簡単に、ウェハ面内で均一に歩留まり良く形成できる半導体装置の製造方法を提供する。

【解決手段】 矩形状のゲートポリシリコン101を形成する工程と、ポリシリコンを覆う窒化膜、酸化膜を順次形成する工程と、酸化膜をエッチバックして窒化膜を露出する工程と、露出した窒化膜をエッティングして、ゲートポリシリコン101を露出する工程と、空間を埋め込むノンドープポリシリコンを形成する工程と、ノンドープポリシリコンをエッチバックして、ゲートポリシリコン101上部に幅広部分を形成する工程と、酸化膜と窒化膜をエッティングする工程と、幅広ノンドープポリシリコンをシリサイド化してチタンシリサイド（またはコバルトシリサイド）110を形成する工程により、T型ゲート電極を簡単に歩留まり良く形成する。

【選択図】 図1

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社